

1/22/03

2871



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi NAKAMURA, et al.

GAU: 2871

SERIAL NO: 10/616,979

EXAMINER:

FILED: July 11, 2003

FOR: DISPLAY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-204511	July 12, 2002
JAPAN	2002-204559	July 12, 2002
JAPAN	2002-218687	July 26, 2002
JAPAN	2002-267972	September 13, 2002
JAPAN	2002-313255	October 28, 2002
JAPAN	2002-313273	October 28, 2002
JAPAN	2002-313309	October 28, 2002
JAPAN	2002-381775	December 27, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

*Joseph A. Scafetta Jr.*  
Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    7 月 1 2 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 2 0 4 5 1 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 0 4 5 1 1 ]

出      願      人            東 芝 松 下 デ ィ ス プ レ イ テ ク ノ ロ ジ ー 株 式 会 社  
Applicant(s):

2 0 0 3 年    7 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 13766101

【提出日】 平成14年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 8

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ  
テクノロジー株式会社内

【氏名】 中 村 卓

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ  
テクノロジー株式会社内

【氏名】 林 宏 宜

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ  
テクノロジー株式会社内

【氏名】 吉 田 征 弘

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ  
テクノロジー株式会社内

【氏名】 ▲もたい▼友信

【特許出願人】

【識別番号】 302020207

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

## 【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

## 【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

## 【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

## 【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

## 【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

## 【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、  
前記表示素子のそれぞれに対応して複数個ずつ設けられ、それぞれが異なる範囲の入射光を受光して電気信号に変換する光電変換部と、  
同一の前記表示素子に対応するすべての前記光電変換部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、を備えることを特徴とする表示装置。

【請求項 2】

前記光電変換部は、ポリシリコン基板上に形成されるフォトダイオードであり、  
前記表示素子は、前記ポリシリコン基板上に形成される T F T (Thin Film Transistor) であることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記フォトダイオードは、P+層及びN+層の間にP-層及びN-層を挟み込んだ構造であることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記表示素子のそれぞれに対応して設けられ、対応する前記電荷蓄積部に蓄積された電荷に応じた 2 値データを記憶する記憶部を備えることを特徴とする請求項 1 及至 3 のいずれかに記載の表示装置。

【請求項 5】

前記記憶部は、スタティック R A M であることを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

同一の前記表示素子に対応する前記複数個の光電変換部を交互に選択する選択部を備え、

前記電荷蓄積部は、前記選択部で選択された前記光電変換部で光電変換された電荷を蓄積することを特徴とする請求項 1 及至 5 のいずれかに記載の表示装置。

**【請求項 7】**

縦横に列設される信号線及び走査線と、これら信号線及び走査線の各交点付近に形成される表示素子と、を有するアレイ基板と、

前記アレイ基板に対向配置される対向基板と、

バックライトと、を備え、

前記アレイ基板、前記対向基板及び前記バックライトの順に配置されることを特徴とする表示装置。

**【請求項 8】**

前記アレイ基板は、

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、

前記表示素子のそれぞれに対応して複数個ずつ設けられ、それぞれが異なる範囲の入射光を受光して電気信号に変換する光電変換部と、

同一の前記表示素子に対応するすべての前記光電変換部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、を有し、

前記光電変換部は、前記バックライトからの光が前記対向基板及び前記アレイ基板を通過して、前記アレイ基板上に配置された画像取込み対象物で反射された光を光電変換することを特徴とする請求項 7 に記載の表示装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、画像取込み機能を備えた表示装置に関する。

**【0002】****【従来の技術】**

液晶表示装置は、信号線、走査線及び画素 T F T が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化されている。これにより、液晶表示装置全体を軽薄短小化することができ、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用されている。

**【 0 0 0 3 】**

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した表示装置が提案されている（特開2001-292276公報、特開2001-339640公報を参照）。

**【 0 0 0 4 】****【発明が解決しようとする課題】**

しかしながら、この種の従来の表示装置は、画素ごとにフォトダイオードを1個ずつ設けており、スキャナの解像度が低いため、画像は粗く、実用性に乏しい。

**【 0 0 0 5 】**

また、液晶表示装置用の駆動TFTとして広く用いられているポリシリコンTFTは、電気的特性を均一化させるのが技術的に難しく、センサ出力を高精度にA/D変換するのが困難である。

**【 0 0 0 6 】**

また、画像取込みの対象である紙面とセンサとの間の距離が、ガラス厚0.7mm＋光学フィルム厚0.4mmの和1.1mmであるため、紙面での拡散光が隣接センサに入射してしまい、ノイズの原因になる。

**【 0 0 0 7 】**

本発明は、このような点に鑑みてなされたものであり、その目的は、高解像度で高精度の画像取込みが可能な表示装置を提供することにある。

**【 0 0 0 8 】****【課題を解決するための手段】**

上述した課題を解決するために、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して複数個ずつ設けられ、それぞれが異なる範囲の入射光を受光して電気信号に変換する光電変換部と、同一の前記表示素子に対応するすべての前記光電変換部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、を備える。

**【 0 0 0 9 】****【発明の実施の形態】**

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

#### 【0010】

(第1の実施形態)

図1は本発明に係る表示装置の第1の実施形態の概略構成図であり、アレイ基板上の構成を示している。図1の表示装置は、信号線及び走査線が列設される画素アレイ部1と、信号線を駆動する信号線駆動回路2と、走査線を駆動する走査線駆動回路3と、画像を取り込んで出力する検出回路&出力回路4と、画像取込み用のセンサを制御するセンサ制御回路5とを備えている。

#### 【0011】

図2は画素アレイ部1の一部を詳細に示したブロック図である。図2の画素アレイ部1は、縦横に列設される信号線及び走査線の各交点付近に形成される画素TFT11と、画素TFT11の一端とCs線との間に接続される液晶容量C1及び補助容量C2と、各画素TFT11ごとに2個ずつ設けられる画像取込み用のセンサ12a、12bとを有する。センサ12a、12bは、不図示の電源線及び制御線に接続されている。

#### 【0012】

図3は図2の一部を詳細に示した回路図である。図3に示すように、センサ12a、12bはそれぞれフォトダイオードD1、D2とセンサ切替用トランジスタQ1、Q2とを有する。フォトダイオードD1、D2は、受光した光の光量に応じた電気信号を出力する。センサ切替用トランジスタQ1、Q2は、1画素内の複数のフォトダイオードD1、D2のいずれか一つを交互に選択する。

#### 【0013】

各画素は、2つのセンサ12a、12bと、同一画素内の2つのセンサ12a、12bで共用されるキャパシタC3と、キャパシタC3の蓄積電荷に応じた2値データを格納するバッファ13と、バッファ13への書込み制御を行うトランジスタQ3と、バッファ13及びキャパシタC3を初期化するリセット用トランジスタQ4とを有する。

#### 【0014】



バッファ 13 は、スタティック R A M (SRAM) で構成され、例えば、図 4 に示すように、直列接続された 2 つのインバータ I V 1, I V 2 と、後段のインバータ I V 2 の出力端子と前段のインバータ I V 1 の入力端子との間に配置されるトランジスタ Q 5 と、後段のインバータの出力端子に接続される出力用トランジスタ Q 6 とを有する。

#### 【0015】

信号 SPOLB がハイレベルのときに、トランジスタ Q 5 はオンし、2 つのインバータ I V 1, I V 2 は保持動作を行う。信号 OUTi がハイレベルのときに、保持しているデータが検出線に出力される。

#### 【0016】

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、トランジスタ Q 3 はオフ状態に設定され、バッファ 13 には有効なデータは格納されない。この場合、信号線には、信号線駆動回路 2 からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

#### 【0017】

一方、画像取込みを行う場合は、図 5 に示すようにアレイ基板 21 の上面側に画像取込み対象物（例えば、紙面）22 を配置し、バックライト 23 からの光を対向基板 24 とアレイ基板 21 を介して紙面 22 に照射する。紙面 22 で反射された光はアレイ基板 21 上のセンサ 12 a, 12 b で受光され、画像取込みが行われる。取り込んだ画像データは、バッファ 13 に格納された後、検出線を介して不図示の C P U に送られる。この C P U は、本実施形態の表示装置から出力されるデジタル信号を受けて、データの並び替えやデータ中のノイズの除去などの演算処理を行う。なお、C P U は一つの半導体チップで構成してもよいし、複数の半導体チップで構成してもよい。

#### 【0018】

図 6 は画像取込み時の動作タイミング図である。まず、センサ 12 a, 12 b 信号 P A R がハイレベルであるため、1 画素内の左側のトランジスタが選択される。

**【0019】**

次に、図6の時刻t1～t2では、画素アレイ部1を1行ずつ順に駆動し、全画素を同一色（例えば白色）に設定する。

**【0020】**

次に、時刻t3では、信号RST, SPOLA, SPOLBをいずれもハイレベルに設定して、トランジスタQ3, Q4, Q5をいずれもオンさせる。これにより、バッファ13とキャパシタC3に初期値が設定される。

**【0021】**

信号RSTがローレベルになると（時刻t4）、センサ12a, 12bは画像取り込みを開始する。紙面22からの反射光がセンサ12a, 12b内のフォトダイオードD1, D2で受光されると、キャパシタC3に蓄積された電荷がフォトダイオードD1, D2を流れて接地端子GNDに流れる。すなわち、リーク電流が流れる。これにより、キャパシタC3の蓄積電荷が減少する。

**【0022】**

時刻t5になると、信号SPOLAがハイレベルになり、キャパシタC3の蓄積電荷に応じた2値データがバッファ13に格納される。

**【0023】**

その後、時刻t6になると、信号SPOLBがハイレベルになり、バッファ13が保持動作を開始する。その後、時刻t7になると、バッファ13に格納されたデータが各画素ごとに順に検出線に供給されて不図示のCPUに送られる。

**【0024】**

図6において、各画素ごとにバッファ13を設ける理由は以下の通りである。キャパシタC3の蓄積電荷は、センサ12a, 12b内のフォトダイオードD1, D2を流れる電流によりリークする以外に、画素内のTFEを流れる電流によってもリークする。このため、時間がたつにつれて、キャパシタC3の蓄積電荷は少なくなり、キャパシタC3の両端電圧も低下してしまう。このため、各画素ごとにバッファ13を設け、キャパシタC3の蓄積電荷がリークする前にバッファ13に転送すれば、キャパシタC3のリークによる影響を受けずに画像取込みを行うことができる。

**【0025】**

なお、バッファ13としてSRAMを用いる理由は、SRAMは数十万ルクスの光が照射されても、論理反転などの誤動作を起こすおそれがないためである。

**【0026】**

時刻  $t_8$  以降は、センサ切替信号PARがローレベルになり、センサ12a, 12bを切り替えて画像取込みを行う。

**【0027】**

本実施形態のアレイ基板21上に形成される各構成部分は、nチャネルTFTとpチャネルTFTを用いて形成される。

**【0028】**

図7はnチャネルTFTの製造工程図、図8はpチャネルTFTの製造工程図である。まず、ガラス基板31上にSiNxやSiOx等からなるアンダーコート層をCVD法により形成する。アンダーコート層を形成する理由は、ガラス基板31上に形成される素子に不純物が拡散しないようにするためである。

**【0029】**

次に、PECVD法やスパッタリング法等により、ガラス基板31上に非晶質シリコン膜を形成した後、非晶質シリコン膜にレーザを照射して結晶化させ、多結晶シリコン膜32を形成する。

**【0030】**

次に、多結晶シリコン膜32をパターニングした後、PECVD法やECR-CVD法等で形成したSiOx膜からなる第1絶縁層33を形成する。そして、多結晶シリコン膜32の所定箇所に低濃度のボロンを注入する（図7（a）、図8（a））。

**【0031】**

次に、レジスト等34をマスクとして、所定箇所にリンをイオン注入する（図7（b）、図8（b））。次に、レジスト等34をマスクとして、nチャネルTFTの形成箇所にボロンをイオン注入する（図7（c））。

**【0032】**

次に、Mo-TaやMo-W等の第1メタルを成膜してパターニングし、ゲート電極35を形成する。次に、レジスト等34をマスクとして、イオン注入法を用いて、

n チャンネル T F T の形成箇所にリンイオンを注入し（図 7（d））、p チャンネル T F T の形成箇所にボロンイオンを注入する（図 8（c））。

#### 【0 0 3 3】

次に、レジスト等 3 4 をマスクとして、p チャンネル T F T の形成箇所に低濃度リンをイオン注入する（図 8（d））。

#### 【0 0 3 4】

次に、SiO<sub>x</sub>からなる第 2 絶縁層 3 6 を形成した後、電極を形成するためのコンタクトホールを開口した後、第 2 メタル 3 7 を成膜してソース・ドレイン電極をパターニングする（図 7（e）、図 8（e））。最後に、パッシベーション膜としてSiN膜を成膜してnチャンネルT F TとpチャンネルT F Tが完成する。

#### 【0 0 3 5】

図 2 に示したセンサ 1 2 a，1 2 b 内のフォトダイオード D 1，D 2 は、p<sup>+</sup>層、p<sup>-</sup>層、n<sup>-</sup>層及びn<sup>+</sup>層からなる P I N 構造にするのが望ましい。P I N 構造は、空乏層が広く、光-電流変換効率がよいためである。

#### 【0 0 3 6】

図 9 は P I N 構造のフォトダイオード D 1，D 2 の製造工程図である。まず、ガラス基板 3 1 上に第 1 絶縁層 3 3 を形成した後、その上面に低濃度のボロンをイオン注入して p<sup>-</sup>層を形成する（図 9（a））。

#### 【0 0 3 7】

次に、レジスト等 3 4 をマスクとしてリンをイオン注入し、第 1 絶縁層 3 3 の一部に n<sup>+</sup>層を形成する（図 9（b））。次に、レジスト等 3 4 をマスクとしてボロンをイオン注入し、第 1 絶縁層 3 3 の一部に p<sup>+</sup>層を形成する（図 9（c））。

#### 【0 0 3 8】

次に、ゲート電極 3 5 となる第 1 メタルを形成した後、レジスト等 3 4 をマスクとして低濃度リンをイオン注入する（図 9（d））。次に、第 2 絶縁層 3 6 を形成してコンタクトホールを開け、第 2 メタル 3 7 を所定形状に形成する（図 9（e））。

#### 【0 0 3 9】

本実施形態の表示装置は、図 5 に示したように、アレイ基板 21 とバックライト 23 との間に対向基板 24 を配置している。その理由は、仮に図 10 に示すように対向基板 24 とバックライト 23 との間にアレイ基板 21 を配置すると、アレイ基板 21 上に形成されたすべての素子がバックライト 23 からの光を直接受けるとともに、紙面 22 からの反射光が弱くなるため、反射光の強弱を精度よく検出できない。これに対して、本実施形態の場合、図 11 に示すように、バックライト 23 からの直接光をアレイ基板 21 上の第 1 及び第 2 メタル 37 で遮ることができ、紙面 22 からの反射光のみをポリシリコン層に入射することができる。

#### 【0040】

センサ 12a, 12b の内部構成は、図 3 に示した回路に限定されない。図 12 はセンサ 12a, 12b の内部構成の変形例を示す図である。Type-A は、図 3 と同様の回路構成であり、キャパシタ C3 に蓄積された電荷を、光を受光したフォトダイオード D1 を介して接地端子 VSS1 にリークさせるものである。

#### 【0041】

Type-B は、Type-A とは逆に、光を受光したフォトダイオード D1 からキャパシタ C3 に電流を流して電荷を蓄積するものである。

#### 【0042】

Type-C は、光を受光したフォトダイオード D1 からキャパシタ C3 に電流を流して電荷を蓄積し、光を受光しない場合は、キャパシタ C3 からバイアス用トランジスタ Q7 を介してゆっくり電荷をリークさせるものである。

#### 【0043】

Type-E は、光の強度に応じた電圧を取り出すものである。

#### 【0044】

このように、本実施形態では、各画素ごとに複数のセンサ 12a, 12b を設けて画像取込みを行うため、高解像度で画像取込みを行うことができる。また、センサ 12a, 12b で取り込んだ画像データをバッファ 13 に格納するため、フォトダイオード D1, D2 で受光した光量を正確に検出できる。

#### 【0045】

さらに、アレイ基板 21、対向基板 24 及びバックライト 23 の順に配置するため、バックライト 23 からの直接光がフォトダイオード D1, D2 に入射されなくなり、紙面 22 からの反射光の強弱をフォトダイオード D1, D2 にて精度よく検出できる。

#### 【0046】

図 2 では、1 画素に 2 個のセンサ 12a, 12b を設ける例を説明したが、センサ 12a, 12b の数は 2 個に限定されず、3 個以上でもよい。センサ 12a, 12b の数が増えるほど、画像取込み時の解像度を上げることができる。

#### 【0047】

(第 2 の実施形態)

第 2 の実施形態は、バッファの代わりに、A/D 変換を行う検出回路を設けるものである。

#### 【0048】

図 13 は表示装置の第 2 の実施形態の概略構成を示すブロック図である。図 13 の表示装置は、図 3 と比較すればわかるように、バッファの代わりに A/D 変換を行う検出回路 41 を備えており、キャパシタ C3 の蓄積電荷は、トランジスタ Q3 と検出線を介して検出回路 41 に供給される。検出回路 41 は、アレイ基板の額縁部分に設けられる。

#### 【0049】

図 13 のような構成にすると、画素内の素子数が少なくなる。透過型液晶表示装置のように背面に光源を備え、各画素内の表示素子を制御して各画素の明暗を制御して表示を行う表示装置では、画素開口部の面積の割合（開口率）を大きくでき、光源の輝度を比較的低くできることから、光源で消費される消費電力を削減できる。

#### 【0050】

また、密着センサとしての動作を考えた場合、光源の光が画素内の素子にそれほど遮られずに、有効に撮像対象に到達反射するため、センサの動作時にも光源の輝度を比較的低くして光源で消費される消費電力を削減できる。

#### 【0051】

また、画素内にバッファを設けない場合は、センサの信号を検出線を介して額縁部に設けられたA/D変換回路に伝達しなければならない。画素内に設けられるセンサ出力保持用のキャパシタC3の容量は、開口率確保の制約などから高々1 p F程度であり、検出線の容量Coutは、表示装置の場合、画素電極やその他素子・配線電極などと容量結合するため20 p F程度である（4 “QVGAの場合”）。

#### 【0052】

画素内の1 p Fの容量に仮に5 Vが蓄積された場合、20 p Fの検出線の容量Coutに導かれた途端に非常に微弱な振幅になってしまう。その大きさは、電荷保存則により容易に推定できるように、もとの信号振幅の $C3 / (C3 + Cout)$ 程度となる。この場合、 $1[pF] / (1[pF] + 20[pF])$ となりもとの信号振幅の5%未満の微小振幅になると見積られる。そこで、額縁部のA/D変換回路は、微小な電位差をはっきりとした電位差に増幅できることが必要である。

#### 【0053】

しかしながら、シリコン基板上に形成されるトランジスタ回路の場合と異なり、絶縁基板上に低温ポリシリコンプロセスを用いて形成されるLTSP素子（Low Temperature Poly-Si素子）の場合、同一チップ上でも素子特性の $V_{th}$ ばらつきが1 V程度になることがある。このため、シリコン基板上のA/D変換回路でよく用いられる差動回路（オペアンプ）をそのまま用いることができず、 $V_{th}$ ばらつきの補償手段を有したA/D変換回路が必要となる。オペアンプを普通に用いると、素子の $V_{th}$ ばらつきなどにより、あるセンサ出力電位が、ある検出回路でハイレベルに変換され、別の検出回路ではローレベルに変換されるなどして実用にならないためである。

#### 【0054】

以下では、とくにLTSP素子を用いて表示装置のアレイ基板上に一体形成する場合に特に有効な $V_{th}$ ばらつき補償手段を有したA/D変換回路を備えた検出回路について述べる。

#### 【0055】

図14は検出回路41の詳細構成を示す回路図である。図14の検出回路41

は、各検出線ごとに、トランジスタ Q 7, Q 8 と、キャパシタ C 4 及びインバータ I V 1 からなるアンプ 4 2 と、インバータ I V 2 と、ラッチ 4 3 と、トランジスタ Q 9 と、トランジスタ Q 1 0 及びレジスタ回路 4 4 からなるシフトレジスタ 4 5 とを有する。

#### 【 0 0 5 6 】

トランジスタ Q 7 のゲートにはいずれも信号 / P R C が入力され、トランジスタ Q 8 のゲートにはいずれも信号 P R C が入力される。まず最初は、所定期間だけ信号 P R C をハイレベルにする。これにより、トランジスタ Q 8 がオンし、アンプ 4 2 の入力端は、電圧 V P R C に初期化される。電圧 V P R C は、センサのハイレベルの出力が検出線に導かれた場合の検出線電圧と、センサのローレベルの出力が検出線に導かれた場合の検出線電圧との間の電圧に設定される。アンプ 4 2 内のインバータ I V 1 の入出力端子間にスイッチ S W 1 が接続されており、電圧 P R C がハイレベルのときは、このスイッチ S W 1 がオンするため、インバータ I V 1 の入力端 (= キャパシタ素子 C 4 の下側の端) にはインバータの動作しきい値が保持される。このとき、アンプ 4 2 は増幅動作を行わない。この動作により、V<sub>th</sub>のキャンセルが行われる。V<sub>th</sub>がばらついても、インバータ I V 1 の入力端にはインバータ I V 1 の動作閾値が保持される。

#### 【 0 0 5 7 】

次に、信号 / P R C をハイレベル (信号 P R C をローレベル) にすると、検出線の電圧が電圧 V P R C より高いか否かがそのままキャパシタ素子 C 4 を介して、インバータ I V 1 の入力端に動作閾値に対して高いか否かの電圧に置き換わるように入力され、インバータ I V 1 の出力端に反転増幅出力が確実に出力される。このようにして、V<sub>th</sub>ばらつきが 1 V 程度あるような場合でも確実に A / D 変換が行われる。

#### 【 0 0 5 8 】

その後、所定のタイミングで、ラッチ 4 3 はラッチ動作を行う。その後、信号 A がハイレベルになると、ラッチ 4 3 の出力がシフトレジスタ 4 5 の各レジスタ回路 4 4 に書き込まれる。その後、信号 A がローレベルになると、トランジスタ Q 1 0 がオンし、各レジスタ回路 4 4 は縦続接続され、クロック C L K に同期し



て、データは1段ずつ右側にシフトされ、右端のレジスタ回路44からCPUに供給される。

#### 【0059】

なお、場合によっては、ラッチ43を省略することも可能である。検出線の出力を直接シフトレジスタ45に導いてやればよい。ただし、シフトレジスタ45がCPUにデータを出力し終えたちょうど良いタイミングで、検出線の出力をシフトレジスタ45に供給する必要がある。シフトレジスタ45にデータを格納し終わるまでに検出回路41の出力が変化しないようにするためである。

#### 【0060】

これに対し、図14のようにラッチ43を設けると、シフトレジスタ45の動作にかかわらず、A/D変換の出力をラッチ43に保持し続けることができ、迅速に次の検出動作に入ることができる利点がある。

#### 【0061】

図14では、アンプ42をキャパシタC4とインバータIV1の一個ずつで構成しているが、図15に示すように、キャパシタC4とインバータIV1を複数個ずつ縦続接続してもよい。これにより、アンプ42の利得制御の精度を向上できる。縦続接続数が多いほど、A/D変換可能な検出線の最小振幅をより小さくでき、A/D変換機の感度を高めることができることになる。

#### 【0062】

このように、第2の実施形態では、アレイ基板の額縁部分に設けられた検出回路41により、キャパシタC2の蓄積電荷をA/D変換するため、画素内にバッファを設ける必要がなくなり、画素の構造を簡略化でき、その分、センサの解像度向上が図れる。

#### 【0063】

図13では、画素アレイ部内にバッファを設けずに、アレイ基板の額縁部分に検出回路41を設ける例を説明したが、画素アレイ部に図3と同様のバッファを設けてもよい。これにより、二重にA/D変換を行うことになるが、バッファの出力振幅を小さくすることができることから、消費電力の削減が図れる。

#### 【0064】

すなわち、表示装置の場合、検出線は前述のように、表示画素電極などと容量結合するため、バッファの駆動負荷として大きくなる。検出線を駆動するための消費電力は、検出線の容量を $C_{out}$ 、検出線が駆動される周波数を $f_{out}$ 、検出線の振幅を $V_a$ としたとき、 $C_{out} \times f_{out} \times V_a \times V_a$ で表すことができるため、 $V_a$ を検出回路が判別できる程度に小さくすることは消費電力低減に有効である。例えば、検出線を 5 V 振幅で駆動する場合に対し、1 V 振幅で駆動する場合には、バッファ部の検出線駆動のための消費電力は25分の1に削減される。

#### 【0 0 6 5】

上述した図 1 3 では、各検出線ごとに検出回路 4 1 を設ける例を説明したが、複数のセンサで同一の検出回路 4 1 を共有してもよい。

#### 【0 0 6 6】

図 1 6 は複数の検出線で同一の検出回路 4 1 を共有する場合の検出回路 4 1 a の回路図である。図 1 4 の検出回路 4 1 と比較して、それぞれ異なる検出線に接続されるトランジスタ Q 1 1, Q 1 2 を有する検出線選択回路が新たに設けられている。

#### 【0 0 6 7】

検出線選択回路内のトランジスタ Q 1 1, Q 1 2 は、信号 K I R の論理によりいずれか一方がオンし、2 つの検出線上の信号のいずれか一方をトランジスタ Q 7 に供給する。

#### 【0 0 6 8】

このように、複数の検出線で同一の検出回路 4 1 a を共有することにより、検出回路 4 1 a の数を削減でき、額縁部分の占有面積の削減と消費電力の削減が可能になる。

#### 【0 0 6 9】

なお、3 本以上の検出線で同一の検出回路を共有してもよい。同一の検出回路を共有する検出線の数が増えるほど、検出回路の占有面積と消費電力の削減が図れる。

#### 【0 0 7 0】

上述した実施形態では、撮像対象物の反射光をフォトダイオードなどのアレイ

基板上の素子のリーク電流に光電変換する密着センサー一体型表示装置の検出回路として説明したが、センサ部が素子の光応答を利用するものでなくとも同様に適用可能である。例えば、T F T 素子のドレインソース電極間を適当な電位に設定し、指などがゲート電極に接近したか否かをドレインソース間電流に変換するようなセンサの検出回路としても有効である。

#### 【 0 0 7 1 】

#### 【発明の効果】

以上詳細に説明したように、本発明によれば、画像取込みが可能な表示装置において、1画素に複数の光電変換部を設けるため、画像取込み時の解像度を向上できる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明に係る表示装置の一実施形態の概略構成図。

##### 【図 2】

画素アレイ部の一部を詳細に示したブロック図。

##### 【図 3】

図 2 の一部を詳細に示した回路図。

##### 【図 4】

バッファの内部構成を示す回路図。

##### 【図 5】

表示装置の構造を示す簡易的な断面図。

##### 【図 6】

画像取込み時の動作タイミング図。

##### 【図 7】

n チャンネル T F T の製造工程図。

##### 【図 8】

p チャンネル T F T の製造工程図。

##### 【図 9】

P I N 構造のフォトダイオードの製造工程図。

**【図 1 0】**

アレイ基板と対向基板の位置関係を変えた場合の断面図。

**【図 1 1】**

本実施形態の断面図。

**【図 1 2】**

センサの内部構成の変形例を示す図。

**【図 1 3】**

表示装置の第 2 の実施形態の概略構成を示すブロック図。

**【図 1 4】**

検出回路 4 1 の詳細構成を示す回路図。

**【図 1 5】**

アンプの変形例を示す回路図。

**【図 1 6】**

複数の検出線で同一の検出回路を共有する場合の検出回路の回路図。

**【符号の説明】**

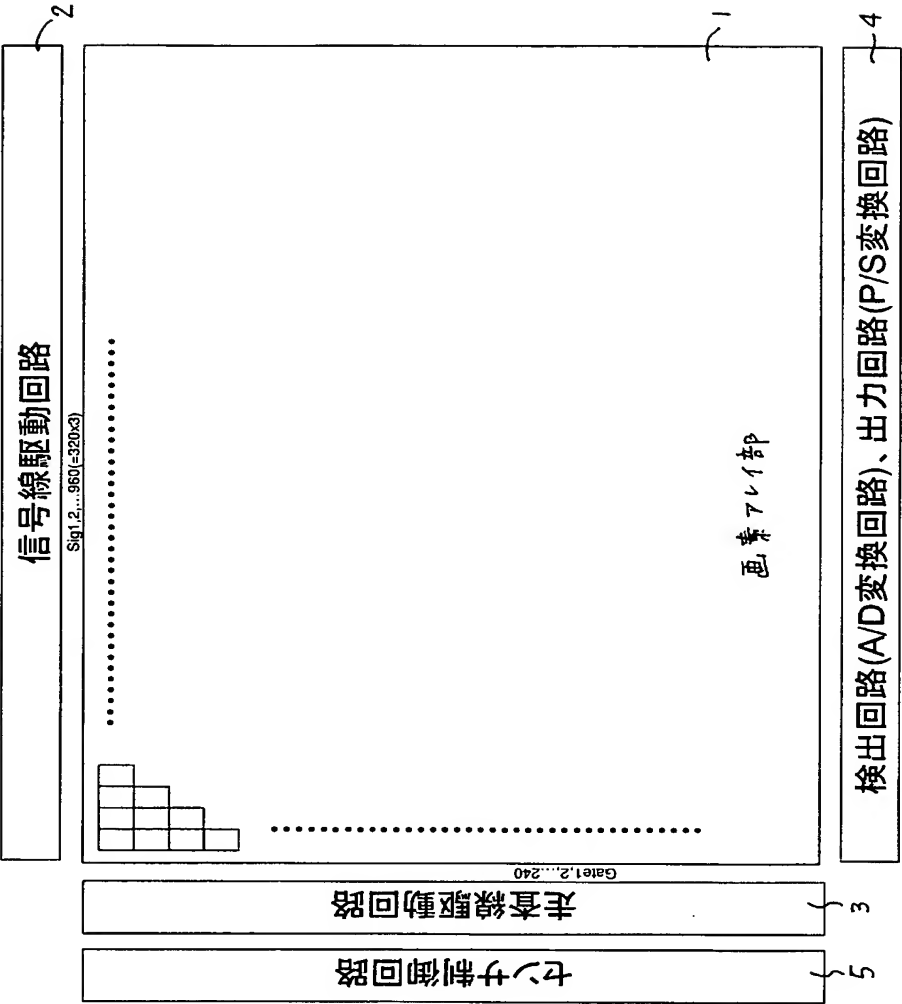
- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 検出回路 4 1 & 出力回路
- 5 センサ制御回路
- 1 1 画素 T F T
- 1 2 a, 1 2 b センサ
- 1 3 バッファ
- 2 1 アレイ基板
- 2 2 紙面
- 2 3 バックライト
- 2 4 対向基板
- 4 1 検出回路
- 4 2 アンプ

4 3 ラッチ

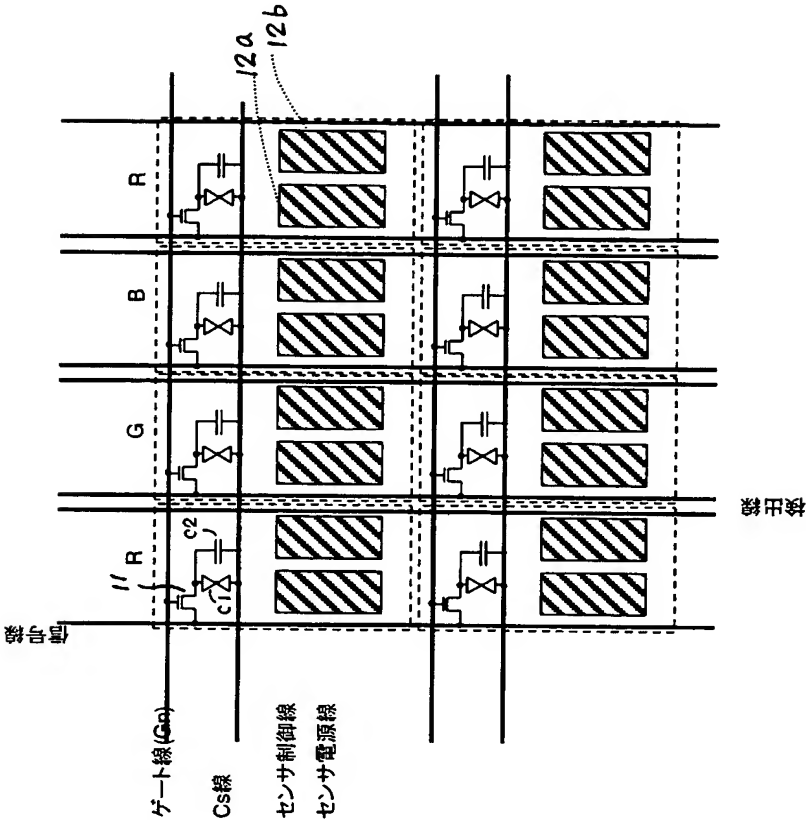
4 5 シフトレジスタ

【書類名】 図面

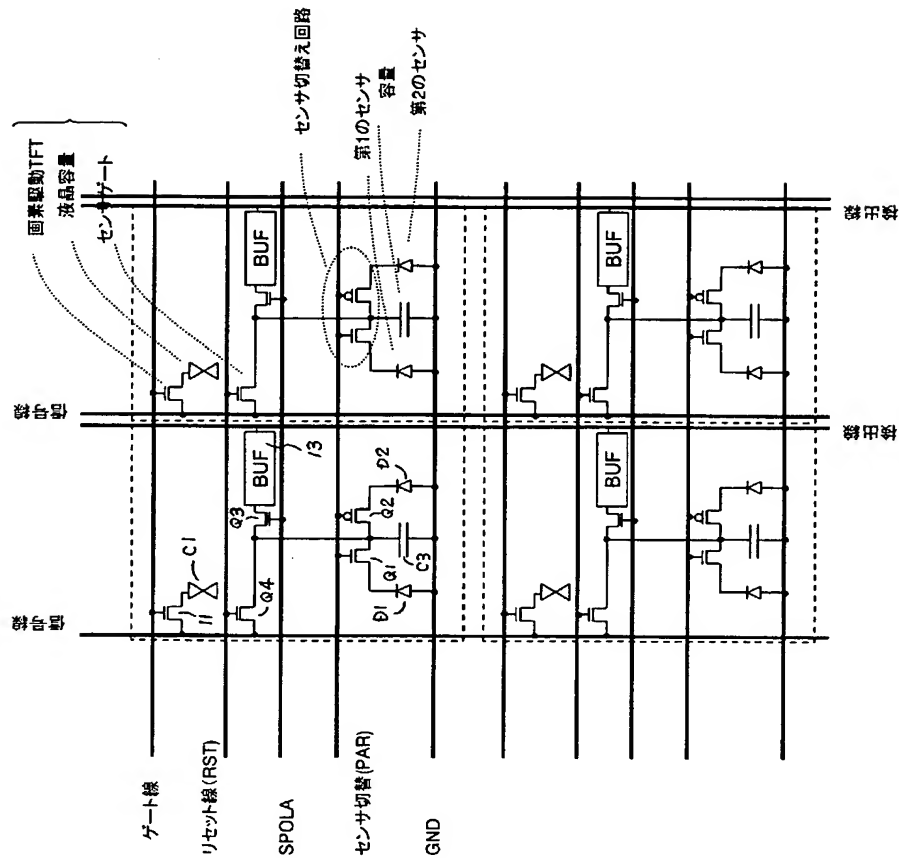
【図 1】



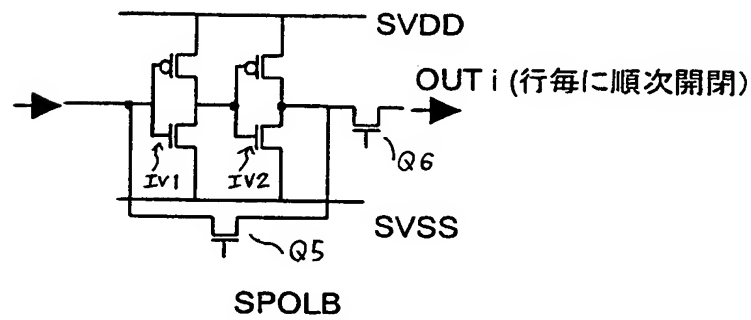
【図 2】



【図 3】

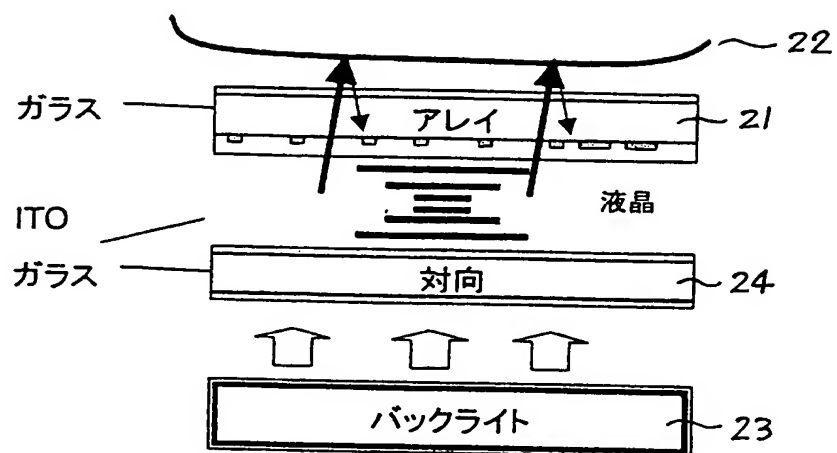


【図 4】

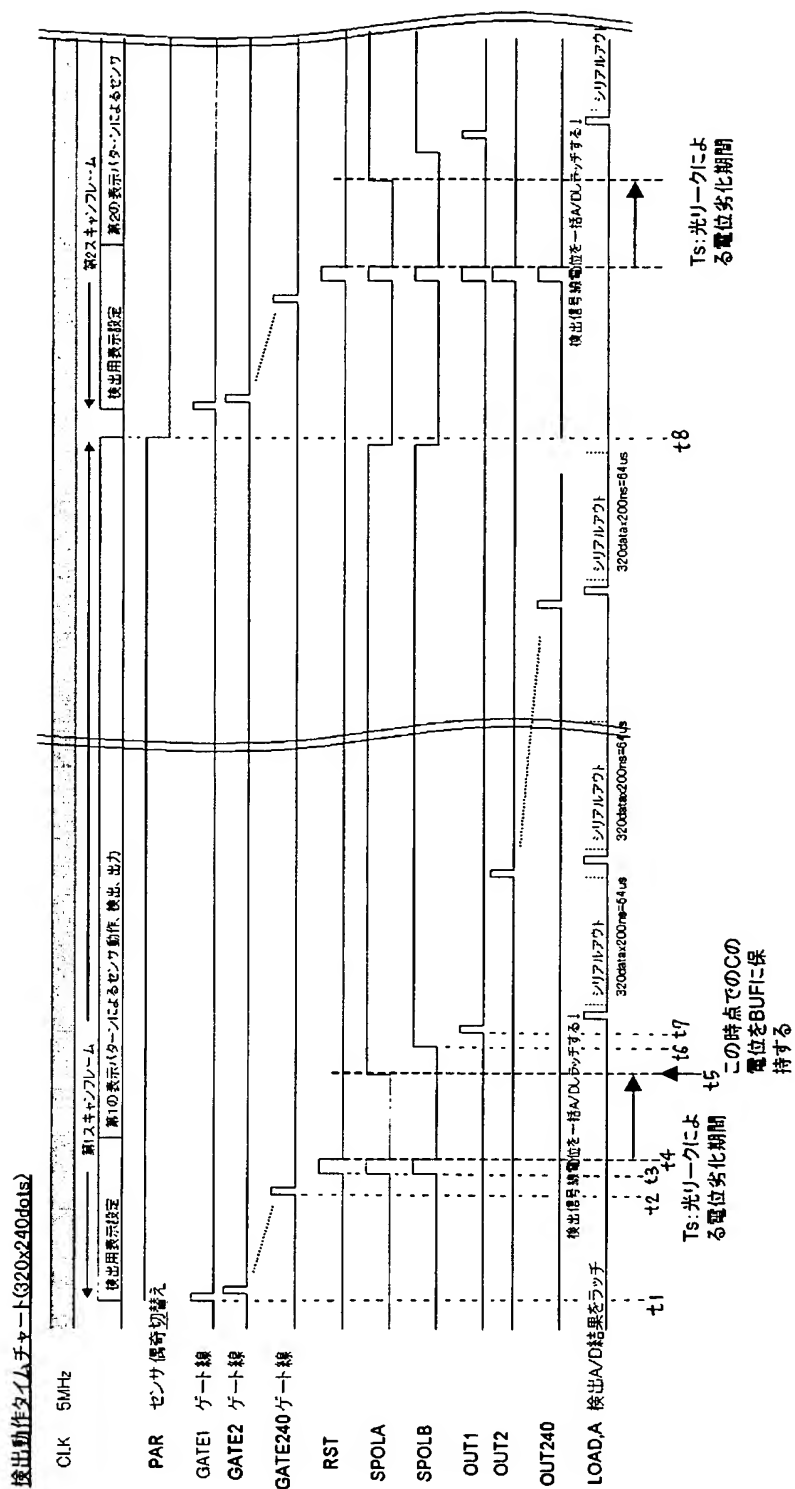




【図 5】

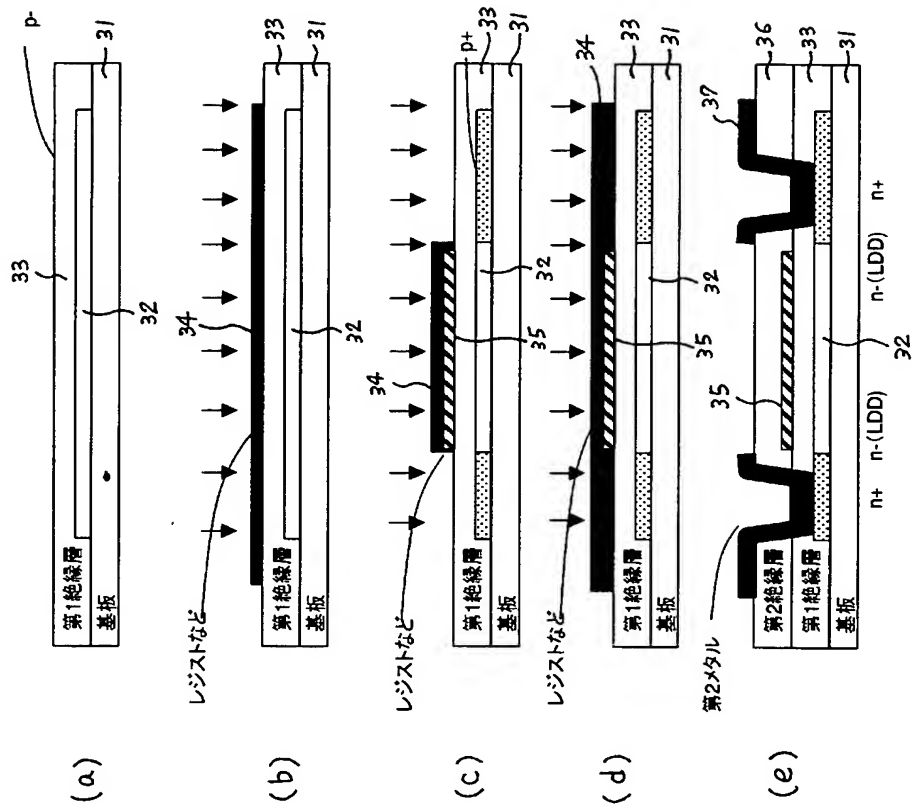


【図 6】

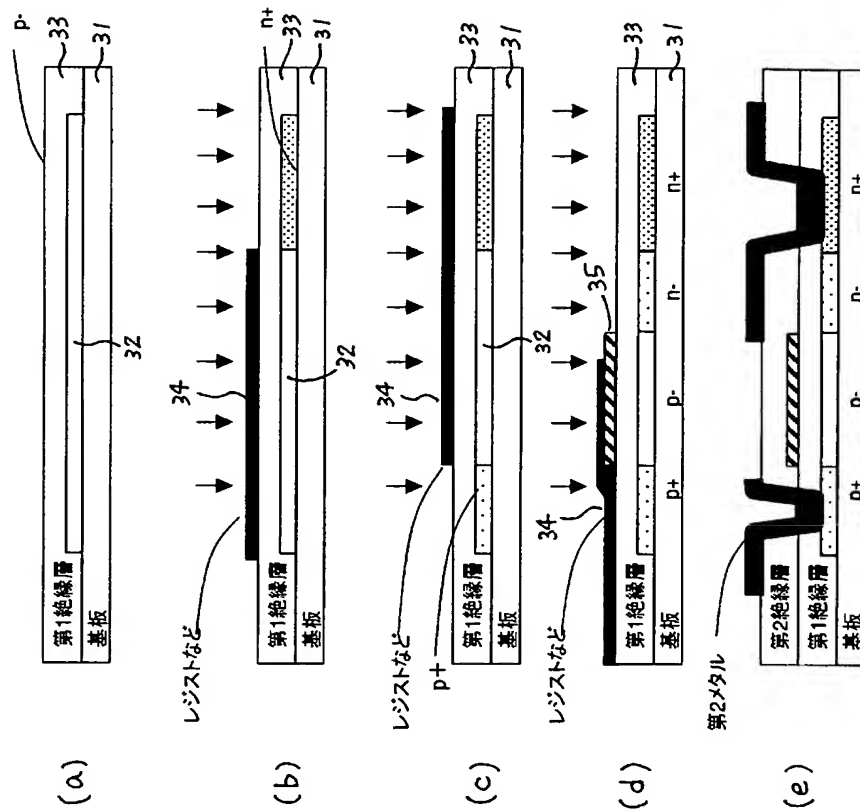




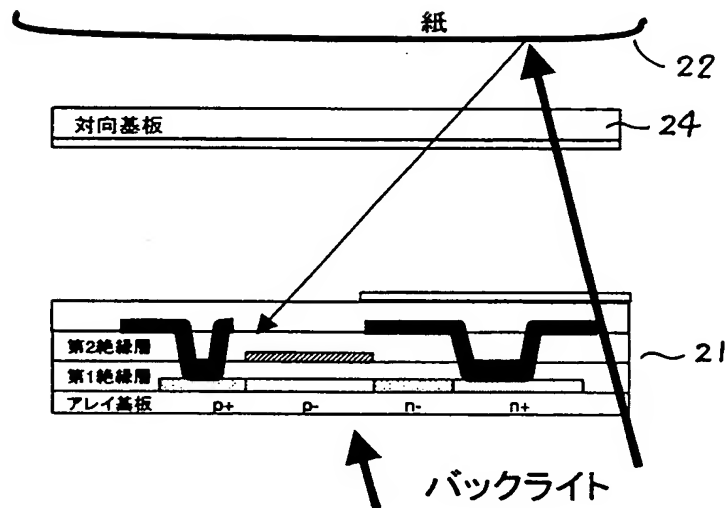
【図 8】



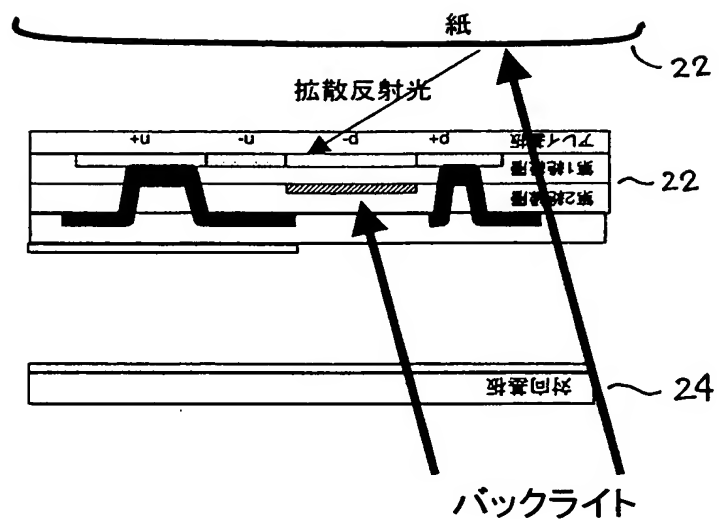
【図 9】



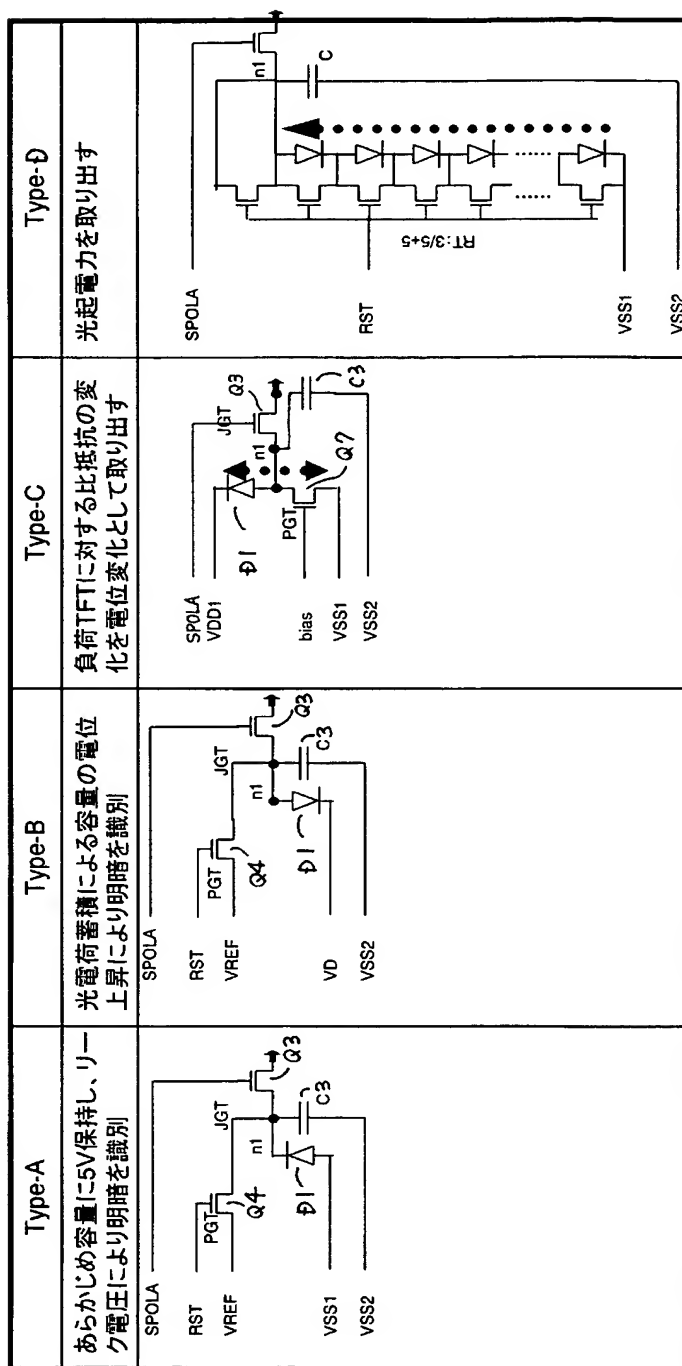
【図 10】



【図 11】



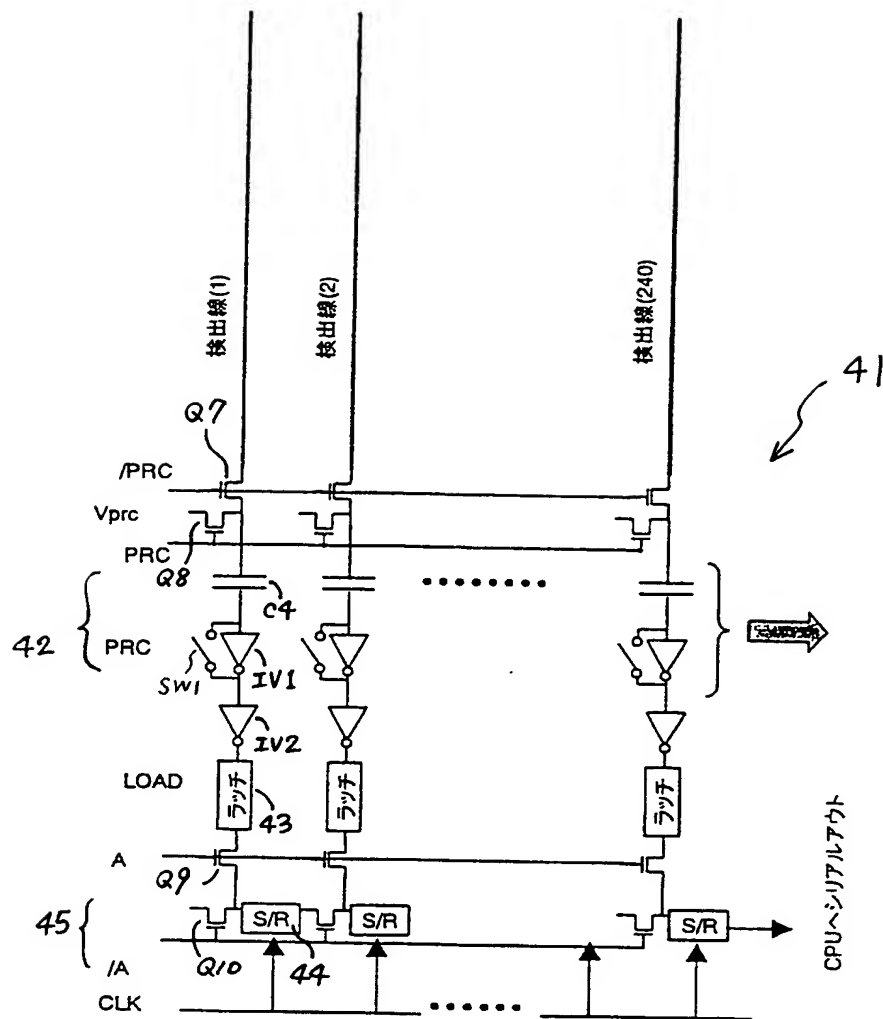
【図 12】



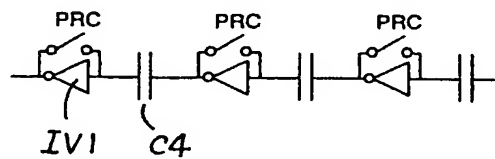




【図 14】



【図 15】





【書類名】 要約書

【要約】

【課題】 高解像度で高精度の画像取込みが可能な表示装置を提供する。

【解決手段】 本発明に係る表示装置は、信号線及び走査線が列設される画素アレイ部 1 と、信号線を駆動する信号線駆動回路 2 と、走査線を駆動する走査線駆動回路 3 と、画像を取り込んで出力する検出回路&出力回路 4 と、画像取込み用のセンサを制御するセンサ制御回路 5 とを備えている。各画素ごとに複数のセンサ 1 2 a, 1 2 b を設けて画像取込みを行うため、高解像度で画像取込みを行うことができる。また、センサ 1 2 a, 1 2 b で取り込んだ画像データをバッファ 1 3 に格納するため、フォトダイオード D 1, D 2 で受光した光量を正確に検出できる。さらに、アレイ基板 2 1、対向基板 2 4 及びバックライト 2 3 の順に配置するため、紙面 2 2 からの反射光の強弱をフォトダイオード D 1, D 2 にて精度よく検出できる。

【選択図】 図 3

特願 2 0 0 2 - 2 0 4 5 1 1

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 2 0 2 0 7 ]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社